Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Кафедра конструювання електронно-обчислювальної апаратури

**Лабораторна робота №2**

**з “Апаратних прискорювачів обчислень на мікросхемах програмованої логіки”**

на тему:

**«Основи Mathlab»**

Виконав:

Заїченко Володимир

**студент III-го курсу ФЕЛ, гр. ДК-01**

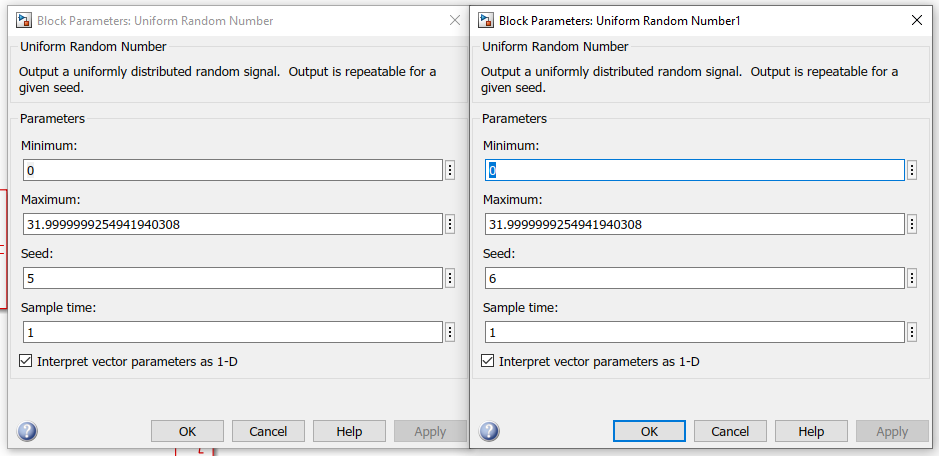
**Варіант: 5**

**Дата виконання: 16.01.2022**

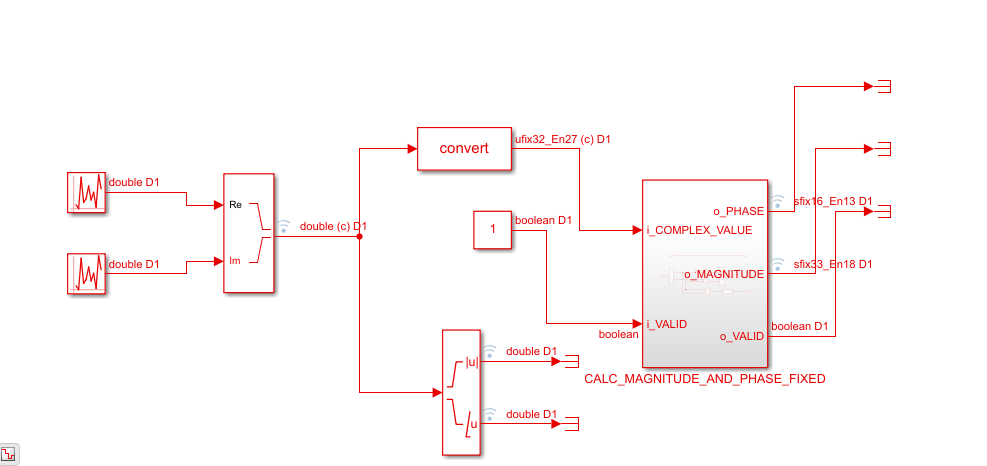
Київ – 2022

1. В Simulink побудувати блок схеми обчислювачів модуля і аргументу комплексного числа для вхідного аргументу з фіксованої комою і плаваючою комою. Обчислювачі для вхідних даних з фіксованою комою і плаваючою комою будувати в окремих моделях Simulink.

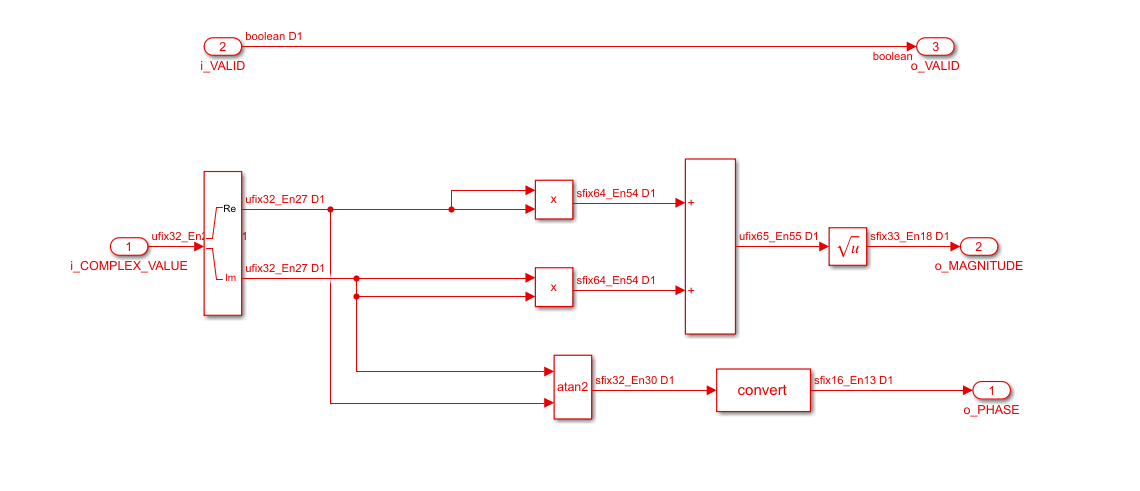
Налаштування Uniform Random Number(для обох блок-схем):



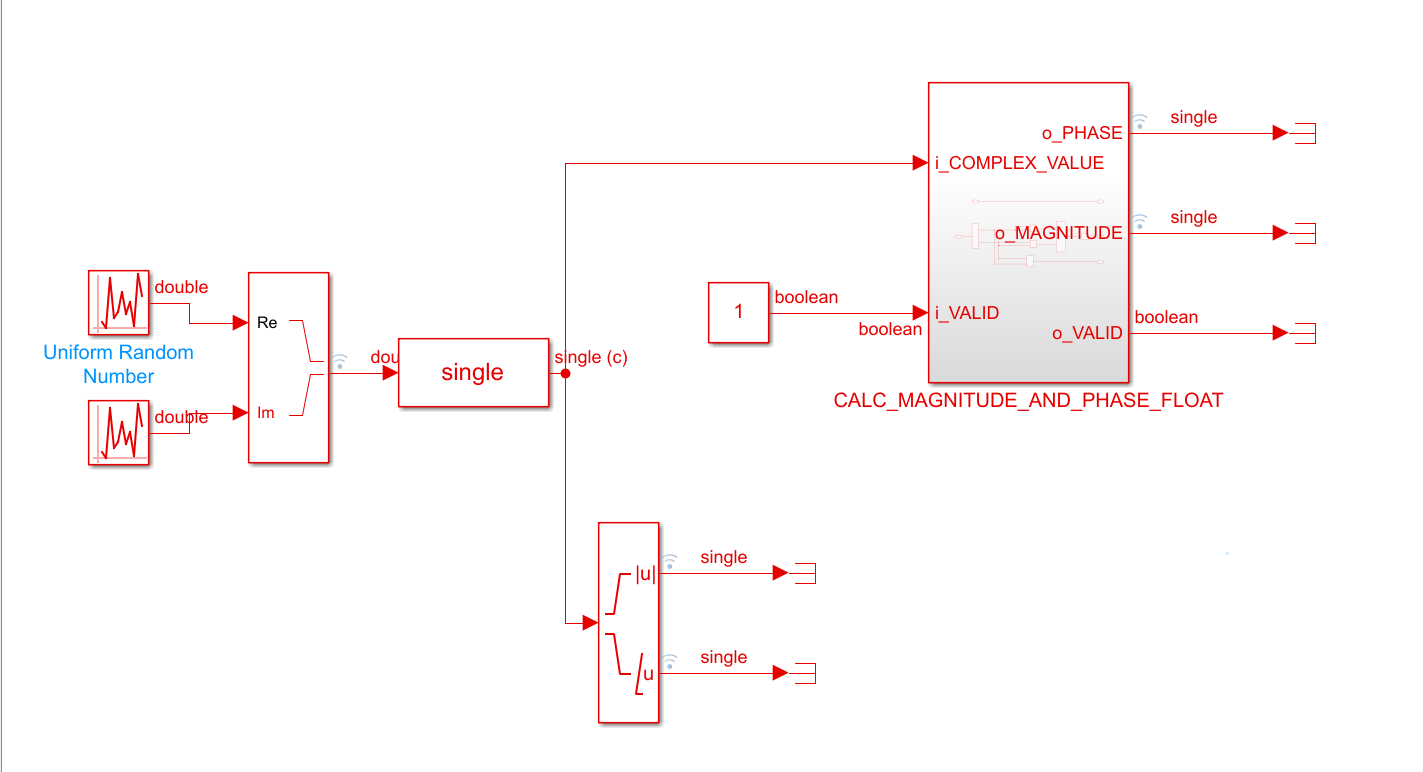
Fixed:



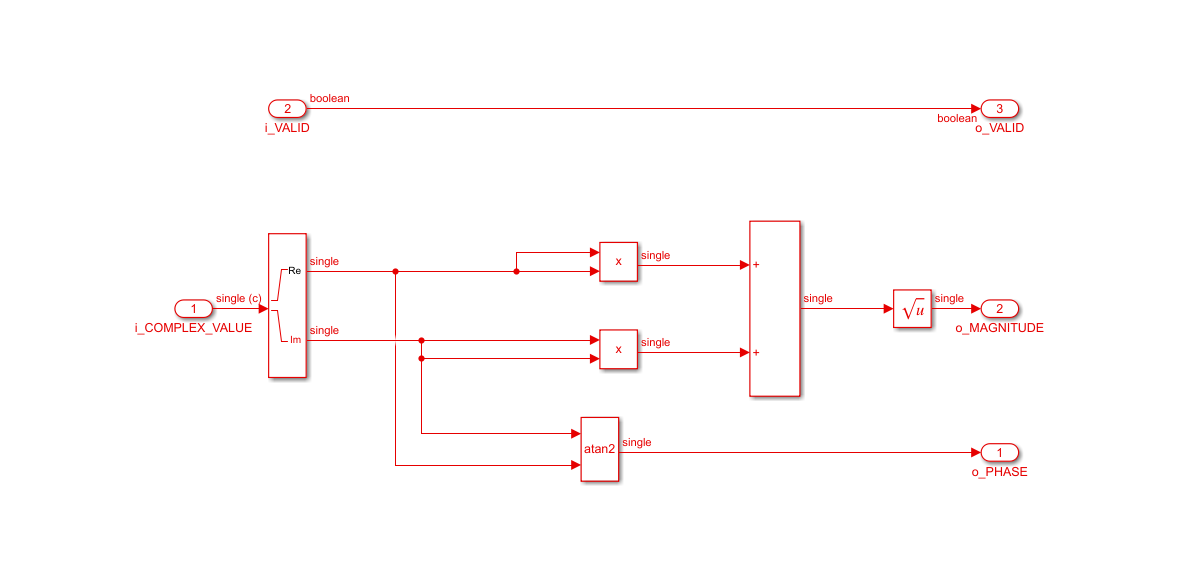
Підсистема(CALC\_MAGNITUDE\_AND\_PHASE\_FIXED):



Float:

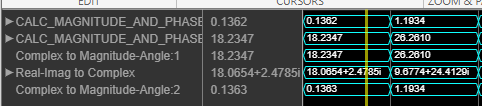


Підсистема(CALC\_MAGNITUDE\_AND\_PHASE\_FLOAT):

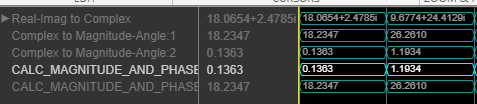


1. Для моделі обчислювача з вхідними даними у фіксованій комі та для моделі обчислювача з вхідними даними у плаваючій комі в логічному аналізаторі Simulink переглянути залежність від часу даних на вході обчислювача, а також даних на виході кожного обчислювача (розраховані значення модуля і аргументу комплексного числа) і еталонних значень результату (значення модуля і аргументу розраховані у блоці “Complex to Magnitude-Angle”). Переконатися, що еталонні значення результату або дорівнюють розрахованим значенням, або відрізняються на незначне значення похибки.

Fixed:



Float:

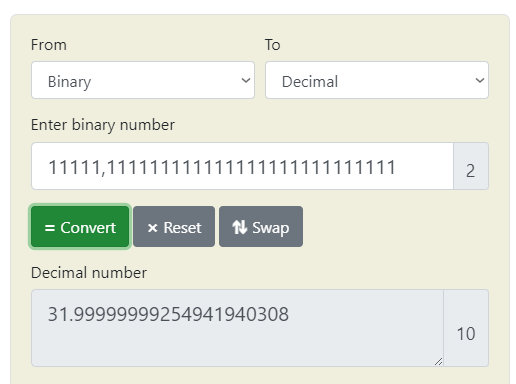


Бачимо, що значення у випадку Float більш точні.

Створити звіт, в якому відобразити створені в Simulink блок схеми (з відображенням типів даних та з відображенням вмісту підсистем) і результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище.

У звіті необхідно обгрунтувати/вивести граничні значення діапазону чисел, які видає блок “Uniform Random Number”.

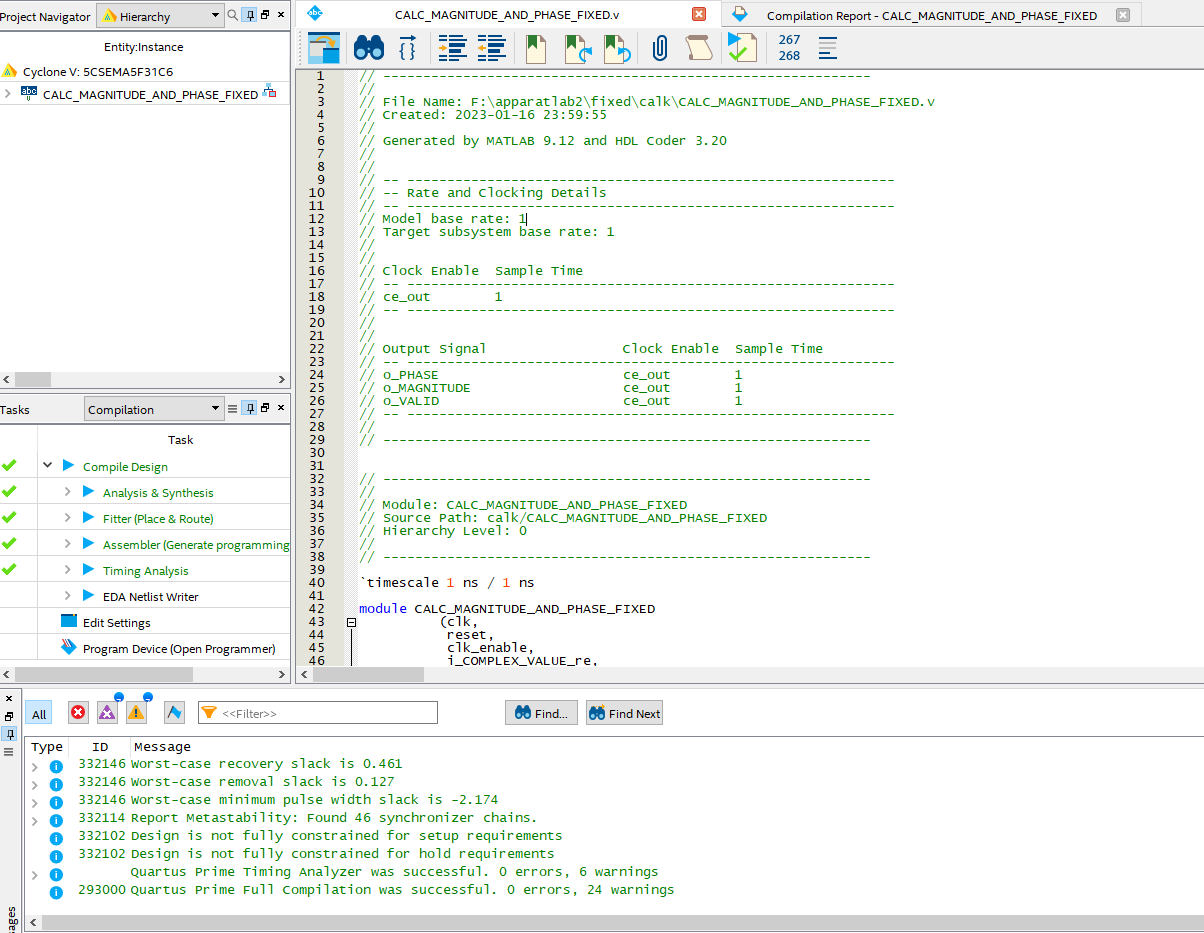
5 цілих, 27 дробових. 32-5 = 27.



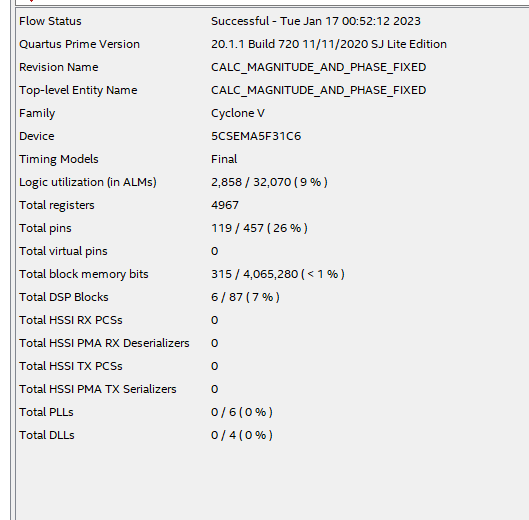
1. Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали:

Код(Fixed):

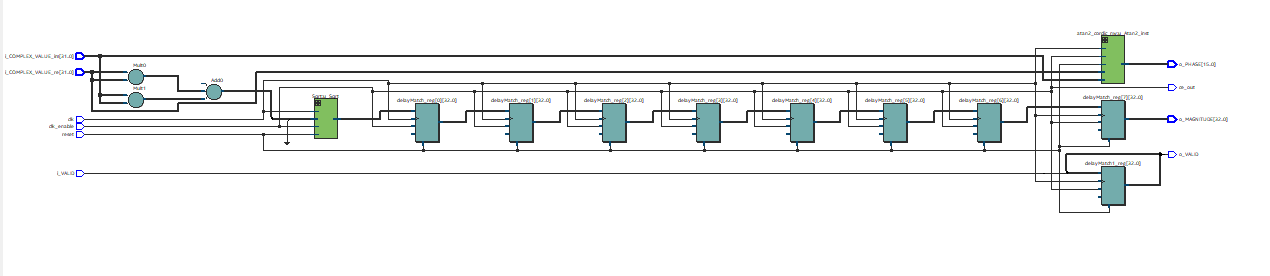




Витрати(Fixed)



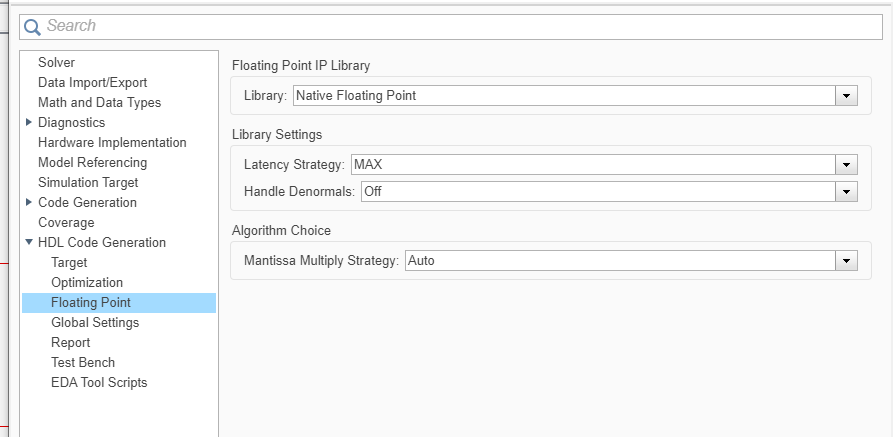
RTL Viewer (Fixed):

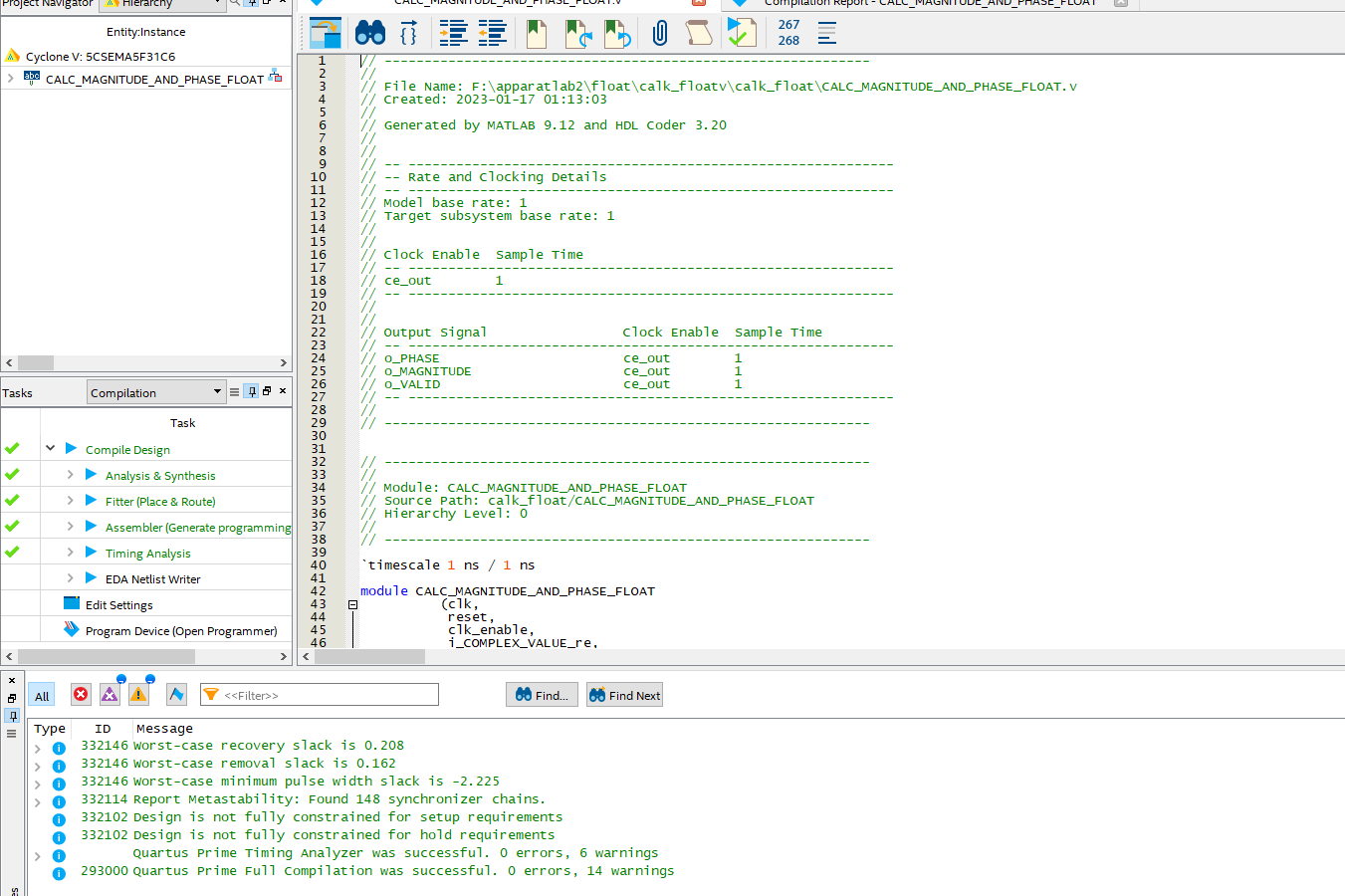


Код(Float):

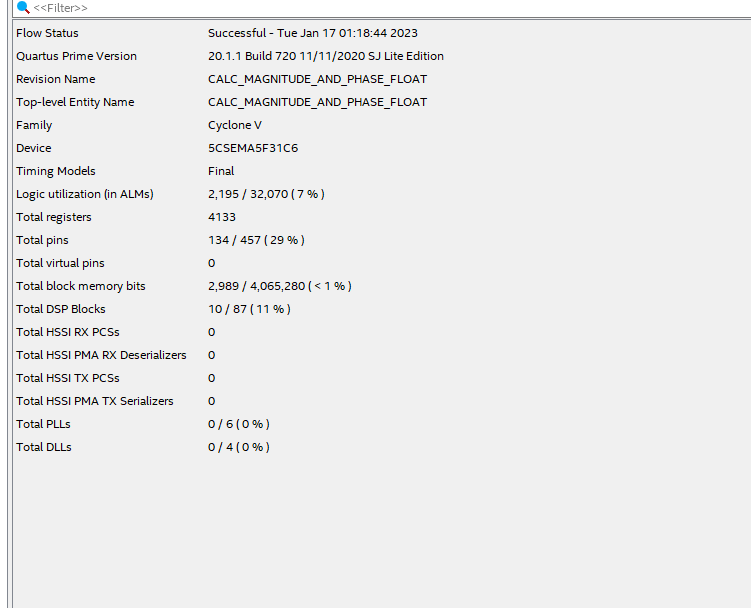
Попередні налаштування:



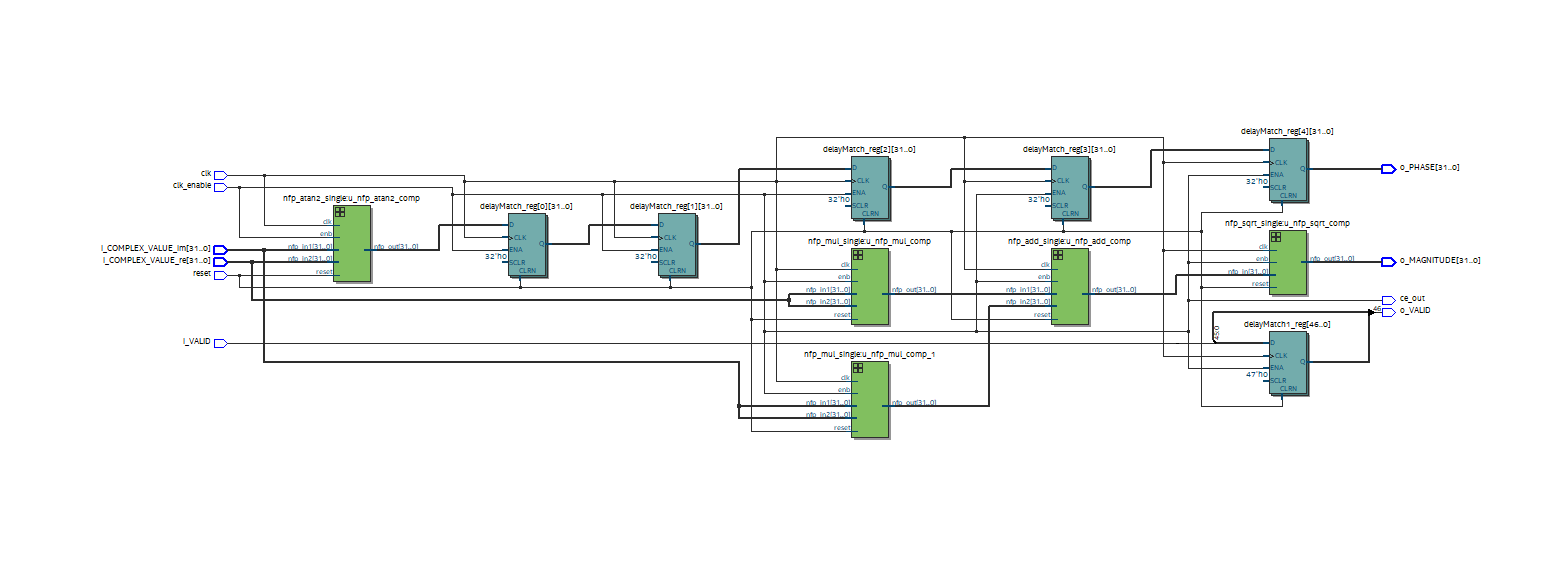




Витрати(Float):



RTL Viewer (Float):



1. Завантажити звіт і файли (файли моделі та у випадку наявності файли згенерованого HDL коду, файли проекту Quartus та тестбенчу) в репозиторій студента на github. Датою завершення виконання роботи вважається дата завантаження файлів в репозиторій.